

PROJEKTOVANJE FPGA ČIPA ZA UPRAVLJANJE POGONOM SA PREKIDAČKIM RELUKTANTNIM MOTOROM

Sandro Markić¹, Vladan Vujičić², Radovan Stojanović²

Ključne riječi: *Prekidački reluktantni motor, FPGA, okidno kolo*

SAŽETAK:

Rad se bavi problematikom primjene FPGA kola u upravljanju pogonima sa prekidačkim reluktantnim motorom. Izvršeno je projektovanje kontrolera za konkretni pogon. FPGA kontroler, na osnovu signala sa enkodera i zadatih uglova uključenja i isključenja, generiše upravljačke signale koji diktiraju intervale magnetizacije i demagnetizacije faza trofaznog motora napajanog preko klasičnog (asimetričnog) pretvarača. Osim toga kontroler vodi računa o ispravnom radu razmatranog okidnog kola energetskih prekidača u pretvaraču bez obzira na uslove rada pogona. Provjera ispravnosti rada projektovanog kontrolera izvršena je pomoću računarske simulacije.

1. UVOD

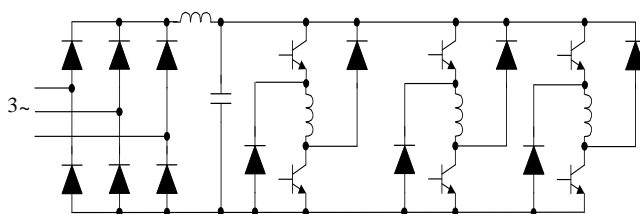
Prekidački reluktantni motor (SRM – *Switched Reluctance Motor*) je po konstrukciji najprostiji od svih električnih mašina [1]-[2]. Međutim, i pored njegove jednostavnosti, SRM postaje aktuelan tek u novije vrijeme, sa intenzivnim razvojem poluprovodničkih elemenata i elektronike uopšte. To je razumljivo, s obzirom da je rad SRM-a neraskidivo vezan sa energetskim pretvaračem i upravljačkom logikom, što je posljedica osnovne operacije sinhronizovanja strujnih impulsa kroz faze sa ugaonim položajem rotora.

Na slici 1 prikazana je šema klasičnog pretvarača (invertora) za napajanje SRM-a, zajedno sa ulaznim diodnim ispravljačem. U kolu pretvarača koriste se dva energetska

¹ Elektroprivreda Crne Gore, dipl. inž.

² Elektrotehnički fakultet u Podgorici, vanredni profesor

prekidača i dvije diode po fazi motora. U procesu magnetizacije uključuju se oba poluprovodnička prekidača, čime se dovodi na krajeve faze napon napajanja U , što doprinosi forsiranju struje kroz fazu. Kada je potrebno izvršiti demagnetizaciju tj. zaustaviti proticanje struje kroz fazu, neophodno je isključiti oba prekidača, tako da struja protiče kroz diode, a napon na krajevima faze je $-U$. Kada se želi postići sporije opadanje struje potrebno je jedan prekidač isključiti tako da struja cirkuliše kroz drugi prekidač i jednu od dioda, čime se ostvaruje približno nulti napon na fazi. Klasični pretvarač ima nekoliko prednosti u odnosu na sva ostala kola [3]. Najvažnija je ta što dva prekidača po fazi omogućavaju potpuno nezavisnu kontrolu faza odnosno slobodu u primjeni softiciranog upravljanja neophodnog za optimizaciju karakteristika SRM pogona.



Slika 1. Klasični pretvarač za trofazni SRM.

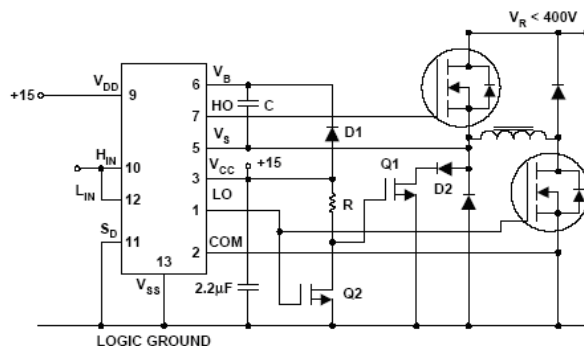
FPGA (Field Programmable Gate Array) su FPD (Field Programmable Device) kola koja imaju enormni kapacitet logike. Naziv FPD kola predstavlja generalni termin koji označava bilo koji tip integralnih kola koja se koriste za implementaciju digitalnog hardvera, gdje čip može biti konfigurisan od strane krajnjeg korisnika i na taj način obavljati željenu funkciju. Kapacitet ovih čipova se kreće do nekoliko stotina hiljada logičkih kola, ali se u praksi uobičajno izražava u LCs (logic cells) koje predstavljaju zasebnu digitalnu cjelinu koja se može funkcionalno konfigurirati dovođenjem kontrolnih bitova. Za dizajniranje FPGA čipova se primenjuju različite tehnike počevši od prostog šematskog unošenja kola pa do njegovog opisa u jeziku visoke abstrakcije kakav je VHDL (Very High Speed Integrated Circuit Hardware Description Language). Prihvatljiv je i hijerarhijski dizajn koji predstavlja kombinaciju ova dva pristupa [4]. Nakon dizajniranja slijede kompilacija, simulacija, verifikacija i na kraju fabrikacija. Na ovaj način se postiže robustan i pouzdan dizajn uz najmanju cijenu koštanja u najkraćem roku razvijanja.

U ovom radu biće predstavljeno jedno rješenje upravljačkog kola SRM pogona realizovanog uz pomoć FPGA čipa. Rješenje se odnosi na slučaj trofaznog SRM-a napajanog pomoću klasičnog pretvarača. Upravljačko kolo, na osnovu zadatih uglova uključivanja i isključenja faza, kao i na osnovu informacije o položaju rotora koju dobija sa enkodera, generiše upravljačke signale. Upravljački signali uz pomoć okidnog kola, diktiraju trenutak i trajanje uključivanja MOSFET prekidača u pretvaraču. Pored toga, upravljačko kolo periodično generiše i kratkotrajne impulse. Ovi signali obezbjeđuju, u svim uslovima rada, ispravno funkcionisanje „Bootstrap” kola u sastavu razmatranog okidnog kola. Provjera ispravnosti rada projektovanog kontrolera izvršena je pomoću računarske simulacije korišćenjem Alterinog Max + plus II.

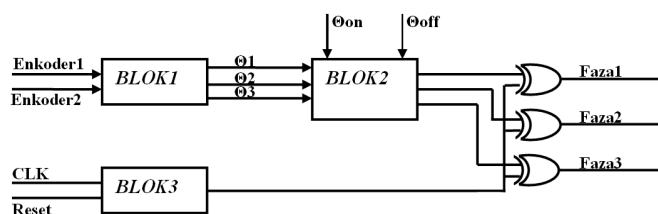
2. OPIS PROBLEMA

Upravljanje SRM-om vrši se tako što se, u odgovarajućem skladu sa položajem rotora θ , propuštaju strujni impulsi kroz njegove faze. Strujni impuls će izazvati pozitivni (radni) obrtni moment ako se primijeni u intervalima kada induktivnost faze motora L raste tj. kada je $dL/d\theta > 0$. Tako, željeni način rada jeste da struja kroz namotaj SRM-a teče za vrijeme ovog vremenskog perioda. Slično, negativni (kočioni) obrtni moment nastaje kada struja kroz namotaj SRM-a teče za vrijeme $dL/d\theta < 0$. Od uglova uključjenja i isključenja, kao i amplitude fazne struje zavise performanse SRM-a. Zato se oni često nazivaju i kontrolni parametri SRM-a. Zadatak FPGA čipa je da, na osnovu zadatih kontrolnih parametara, generiše odgovarajuće upravljačko-logičke signale. U ovom radu bavićemo se projektovanjem FPGA čipa za trofazni 6/4 SRM koji se napaja pomoću klasičnog pretvarača.

Dio šeme razmatranog pretvarača za napajanje jedne faze motora prikazan je na slici 2. Ako se na ulaze L_{IN} i H_{IN} integralnog kola IR2110 dovedu upravljačko-logički signali, ono će preko svojih izlaza HO i LO vršiti uključivanje ili isključivanje MOSFET prekidača. Generisanje upravljačkih signala potrebno je izvršiti na osnovu zadatih uglova uključjenja θ_{on} , isključenja θ_{off} i signala sa enkodera. Pored toga, za pravilan rad pretvarača mora se obezbijediti punjenje „Bootstrap” kondenzatora C . Da bi se to, u svim uslovima rada, ostvarilo potrebno je prilikom trajanja logičke jedinice (uključjenja) dovoditi i „kratke” impulse isključenja koji obezbjeđuju pravilan rad „Bootstrap” kola. Princip generisanja logičkih signala dat je na slici 3.



Slika 2. Šema poluprovodničkog pretvarača za napajanje jedne faze SRM-a.

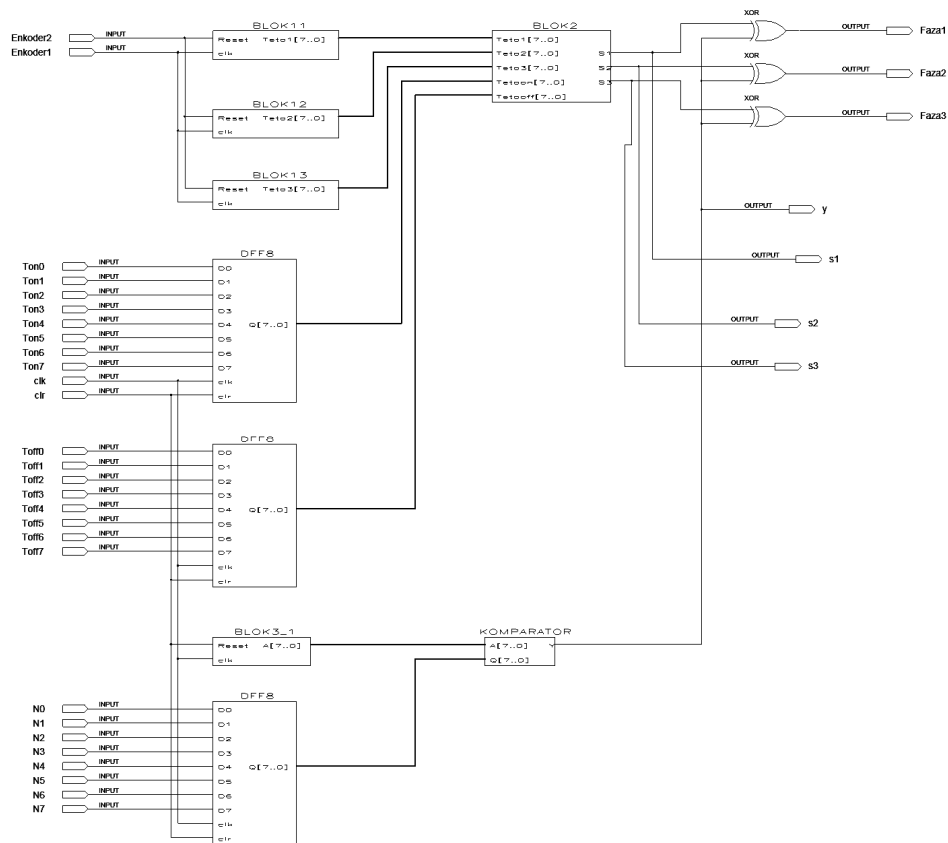


Slika 3. Blok šema generisanja logičkih signala.

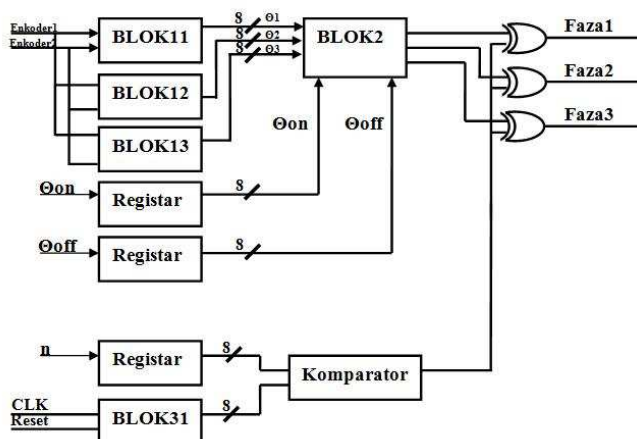
Blok 1 sa slike 3 vrši prilagođavanje signala o položaju rotora sa enkodera. U Bloku 2 signali o položaju rotora u odnosu na faze 1, 2 i 3 se upoređuju sa uglovima uključenja θ_{on} , isključenja θ_{off} , na osnovu čega se generišu upravljački signali. Blok 3 služi za generisanje „kratkih” impulsa koji su neophodni za pravilan rad pretvarača.

3. ARHITEKTURA PREDLOŽENOG RJEŠENJA

Kolo predloženog kontrolera za upravljanje SRM pogonom sastoji se od više međusobno integrisanih komponenti (modula), slika 4. Svaka od njih je opisana odgovarajućim VHDL kodom i predstavljena kao simbol za šematsko povezivanje u ostatak kola. Sintaza je obavljena u Alterinom Max + plus II razvojnom okruženju. Stoga je za razumijevanje rada kompletnog kola potrebno objasniti način funkcionisanja pojedinih komponenti kao i njihovu funkcionalnu povezanost. Na slici 5 je predstavljena proširena blok šema generisanja logičkih signala.



Slika 4. Arhitektura kontrolera u Alterinom Max + plus II razvojnom okruženju.



Slika 5. Proširena blok šema generisanja logičkih signala.

Blok 1 sa slike 3 je sačinjen od podblokova Blok11, Blok12 i Blok13, prikazanih na slici 5. Na ulaze ovih podblokova dovode se signali sa enkodera. Enkoder generiše 1024 impulsa po obrtaju rotora (signal Enkoder1). Podblokovi su izrađeni kao osmобitni brojači koji kružno broje unaprijed. Stanje brojača u nekom podbloku je povezano sa relativnim položajem rotora u odnosu na pridruženu mu fazu (Blok11 – faza 1, Blok12 – faza 2 i Blok13 – faza 3). Na taj način, izlazni signali θ_1 , θ_2 i θ_3 daju informacije o položaju rotora u odnosu na polove faze 1, faze 2 i faze 3, respektivno. Stanje brojača nula odgovara položaju rotora od 0° (usaglašena – "aligned" pozicija). Nakon što brojač odbroji od 0 do 255 rotor se zaokrene za 90° tj. ponovo dolazi u usaglašeni položaj 0° . Signal Enkoder1 je clock signal brojača u podblokovima, dok signal za sinhronizaciju Enkoder2 predstavlja reset signal brojača. Reset signal (Enkoder 2) generiše se kada je rotor u usaglašenoj poziciji u odnosu na fazu 1. Tada se brojači podblokova Blok11, Blok12 i Blok13 setuju na početne vrijednosti 0, 85 i 171, respektivno. Stanje brojača 85 približno odgovara položaju rotora od 30° , a stanje 171 položaju 60° .

Ulazni signali u Blok2 su θ_1 , θ_2 , θ_3 , θ_{on} , θ_{off} . Uglovi uključenja i isključenja (θ_{on} i θ_{off}) upisuju se u registre i odatle učitavaju u Blok2. Na izazu ovog bloka generišu se upravljački signali za sve tri faze. Trajanje magnetizacije faza proporcionalno je razlici $\theta_{off} - \theta_{on}$. Kada je $\theta_{on} < \theta_1 < \theta_{off}$, na izlazu prema fazi 1 imamo logičku jedinicu, a u suprotnom je logička nula. Slično, logička jedinica prema fazi 2 javlja se kada je $\theta_{on} < \theta_2 < \theta_{off}$, a prema fazi 3 kada je $\theta_{on} < \theta_3 < \theta_{off}$.

Blok3 je sačinjen od Bloka31, registra i komparatora. Blok31 je osmобitni brojač (0-255). Na njegovom ulazu imamo clock i reset signale, pri čemu clock signal predstavlja radni takt koji se dovodi sa ploče. Na izlazu imamo osmобitni signal. Komparator na izlazu daje logičku jedinicu za vrijeme dok brojač ne izbroji do n , a potom daje nulu. Povećavanjem broja n povećava se vrijeme trajanja logičke jedinice.

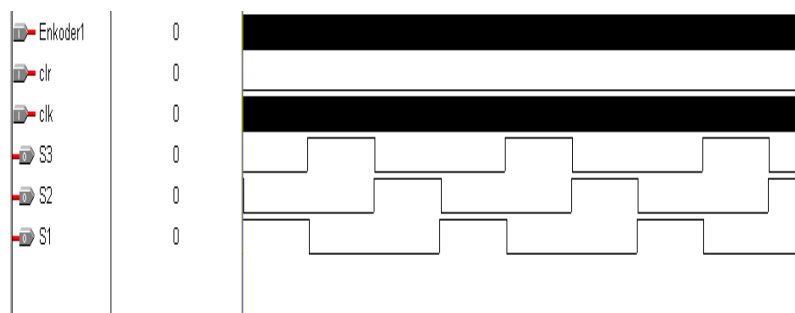
4. REZULTATI TESTIRANJA

U cilju provjere rada kola izvršena je njegova simulacija. Na slikama 6, 7, 8 i 9 prikazani su neki od rezultata razmatranih slučajeva.

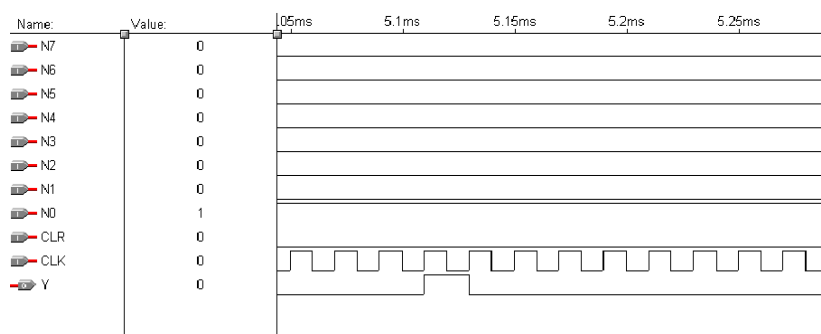
Dobijeni izlazni signali iz bloka 2, za odabrani ugao provođenja ugao („dwell“) $\theta_{off} - \theta_{on} = 31^\circ$ prikazani su na slici 6.

Izlazni signali iz bloka 3, pri učestanosti takta od 6.6 kHz i jediničnoj vrijednosti u registru N ($n=1$), prikazani su na slici 7. Na slici 8 prikazani su izlazni signali iz bloka 3 za slučaj kada je $n=3$.

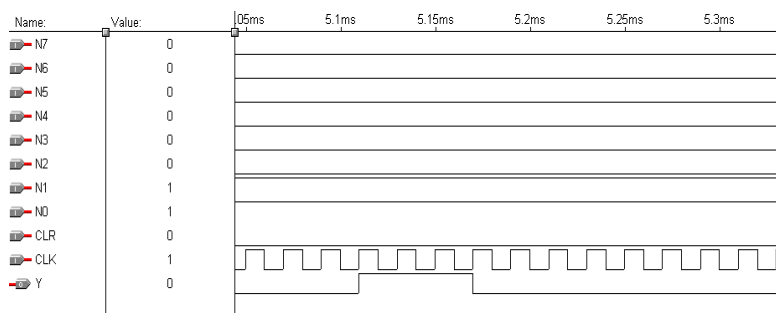
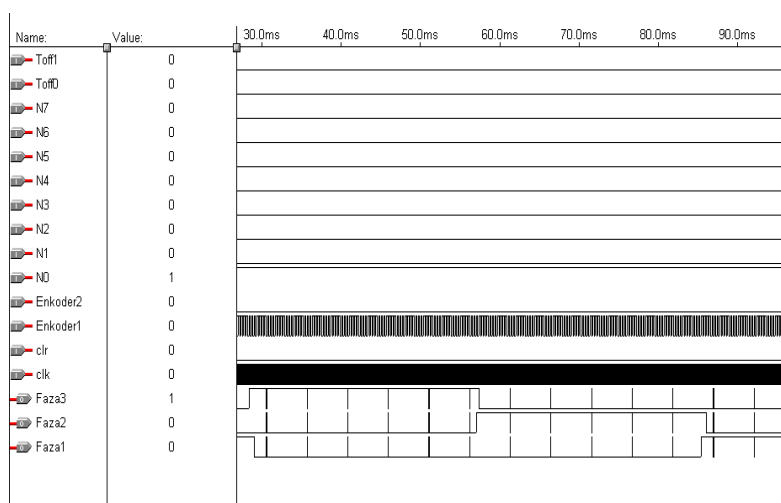
Izlazni signali iz kontrolera, za slučaj kada je $n=1$ i ugao provođenja 31° , prikazani su na slici 9. Sa slike se vidi da se u izlaznim logičkim signalima (Faza 1, Faza 2 i Faza 3), pomoću kojih se preko okidnog kola i pretvarača diktira magnetizacija odnosno demagnetizacija faza, pojavljuju i kratkotrajni impulsi koji obezbjeđuju pravilan rad „Bootstrap“ kola.



Slika 6. Impulsi na izlazu iz Bloka2 za ugao provođenja 31° .



Slika 7. Impulsi na izlazu iz Bloka 3 za ugao provođenja 31° i $n=1$.

Slika 8. Impulsi na izlazu iz Bloka 3 za ugao provođenja 31^0 i $n=3$.Slika 9. Impulsi na izlazu iz kontrolera za ugao provođenja 31^0 i $n=1$.

5. ZAKLJUČAK

U ovom radu je prezentovan pristup projektovanju kontrolera za kontrolu SRM pogona korišćenjem metodologije potpuno integrisanog dizajna, za što je korišćen Alterin softverski paket "Max+plus 2". Projektovani kontroler u FPGA tehnologiji, obezbeđuje robustan rad SRM pogona. Prednost ovakve realizacije kontrole, u odnosu na realizaciju uz pomoć DSP kontrolera ili mikrokontrolera, ogleda se prije svega u jednostavnosti i fleksibilnosti primjene. Predloženo rješenje odnosi se na trofazni SRM napajan pomoću klasičnog pretvarača, ali se lako može prilagoditi i motorima sa drugim brojem faza koji se napajaju i pomoću drugih tipova pretvarača.

LITERATURA

- [1] T. J. E. Miller, *Electronic Control of Switched Reluctance Machines*, Newnes Power Engineering Series, 2001.
- [2] Vladan Vujičić, „ *Prekidački reluktantni motori* “, Skripta, Elektrotehnički fakultet, Podgorica, feb. 2005.
- [3] S. Vukosavić and V. Stefanovic, “SRM Inverter Topologies: A Comparative Evaluation,” *IEEE IAS Annual Meeting Conf. Record*, 1990.
- [4] R. Stojanović, “ *Skripta za kurs: Harversko-sofversko ko-dizajn* “, Univerzitet Crne Gore, 2005.